

AT45DBxxxВ в системах с напряжением питания 5В.

1. Введение.

Следуя общей тенденции микроэлектронного производства, направленной на повышение быстродействия ИМС за счёт уменьшения топологических норм и напряжения питания, фирма "Atmel" в прошлом году начала выпуск микросхем семейства "DataFlash" серии AT45DBxxxВ с объемом памяти от 1 Мбит до 256 Мбит (по состоянию на осень 2001 г.). Данная серия ИМС при напряжении питания 3.3 В работает с тактовой частотой интерфейса SPI до 50 МГц, позволяет подавать на информационные входы сигналы с уровнем до 5 В и, в отличие от микросхем многих других производителей, имеет 2 буферных ОЗУ, что позволяет повысить производительность системы. Другим немаловажным преимуществом новой серии является заметно меньшие размеры корпусов. Например, для AT45DB021В предлагаются корпуса CBGA9 (5*5мм) и SOIC8 (5.27*7мм) [1].

В то-же время микросхемы с напряжением питания 5 В (серия AT45Dxxx) были сняты с производства. Данная статья посвящена рассмотрению практических аспектов применения микросхем серии AT45DBxxxВ в системах с напряжением питания 5 В.

2. Измерение токов утечки на информационных и управляющих выводах в статическом режиме, уровни выходных сигналов.

Измерения параметров проводились на макете, включающем в себя:

Микросхему репрограммируемого ПЗУ AT45DB021В-RI ("Atmel") с номинальным напряжением питания 3.3 В;

Микросхему микропотребляющего стабилизатора с низким падением напряжения LP2980AIM5-3.3 ("National Semiconductor") на номинальное напряжение 3.3 В [2];

Комбинированный цифровой измерительный прибор М-890D неизвестного производства. См. схему 1.а, 1.б. Результаты измерений приведены в табл. 1.

Наиболее интересным параметром, в данном контексте, является ток утечки выхода с Z-состоянием SO.

Табл. 1

Ток утечки на выходе, мкА:							
Условия измерения	SI	SCK	!WP	!RES	BUSY	!CS	Примечание
$V_{cc}=5В, V_{cc2}=float, !CS=V_{cc2}$	0	0	0	0	0		J5 разомкнут
$V_{cc}=5В, V_{cc2}=float$						0	J5 разомкнут
$V_{cc}=6.25В, V_{cc2}=float, !CS=V_{cc2}$	0	0	0	0	0		J5 разомкнут
$V_{cc}=6.25В, V_{cc2}=float$						2	J5 разомкнут
$V_{cc}=5В, V_{cc2}=3.28В, !CS=V_{cc2}$	0	0	0	0	0		J5 замкнут
$V_{cc}=5В, V_{cc2}=3.28В$						0	J5 замкнут
$V_{cc}=6.25В, V_{cc2}=3.28В, !CS=V_{cc2}$	0	0	0	0	0		J5 замкнут
$V_{cc}=6.25В, V_{cc2}=3.28В$						2	J5 замкнут
$V_{cc}=5В, V_{cc2}=float, !CS=V_{cc2}$	0	0	0	0	0		J4 замкнут J5 замкнут
$V_{cc}=5В, V_{cc2}=float$						0	J4 замкнут J5 замкнут
$V_{cc}=6.25В, V_{cc2}=float, !CS=V_{cc2}$	0	0	0	0	0		J4 замкнут J5 замкнут
$V_{cc}=6.25В, V_{cc2}=float$						1	J4 замкнут J5 замкнут

Результаты измерений приведены в табл. 2.

Как видно из экспериментальных данных, при нахождении выхода SO в Z-состоянии и напряжении на нём

Условия измерения	Выход SO		
	Ток утечки, мкА	Напряжение, В	Примечание
$V_{cc}=5В, V_{cc2}=float, !CS=V_{cc2}$	500	2.36	J5 разомкнут $V_{cc2}=1.67В$
$V_{cc}=6.25В, V_{cc2}=float, !CS=V_{cc2}$	720	2.47	J5 разомкнут $V_{cc2}=1.72В$
$V_{cc}=5В, V_{cc2}=3.28В, !CS=V_{cc2}$	190	3.95	
$V_{cc}=6.25В, V_{cc2}=3.28В, !CS=V_{cc2}$	430	3.98	
$V_{cc}=5В, V_{cc2}=float, !CS=V_{cc2}$	510	2.34	J4 замкнут $V_{cc2}=1.64В$
$V_{cc}=6.25В, V_{cc2}=float, !CS=V_{cc2}$	730	2.45	J4 замкнут $V_{cc2}=1.74В$

больше чем $V_{cc2} + 0.65..0.7 В$, этот вывод может принимать заметный ток утечки. Этот ток обусловлен наличием паразитного диода, образованного p-n переходом с высоколегированной области стока (p+) выходного p-канального транзистора на подложку (n) микросхемы. Величина тока утечки может быть приблизительно определена по формуле $I_l = (V_{source} - V_{cc2} - 0.7) / R_{source}$, где V_{source} и R_{source} - напряжение и внутренне сопротивление источника сигнала, V_{cc2} - напряжение питания микросхемы DataFlash. Максимально допустимым значением с точки зрения долговременной надёжности можно считать 3..5 мА. В документе "CPQ-2001. Reliability Qualification Methodology" [3] приводится значение для тестирования на "тиристорный эффект" (latch up) равное 120мА [3, стр. 11].

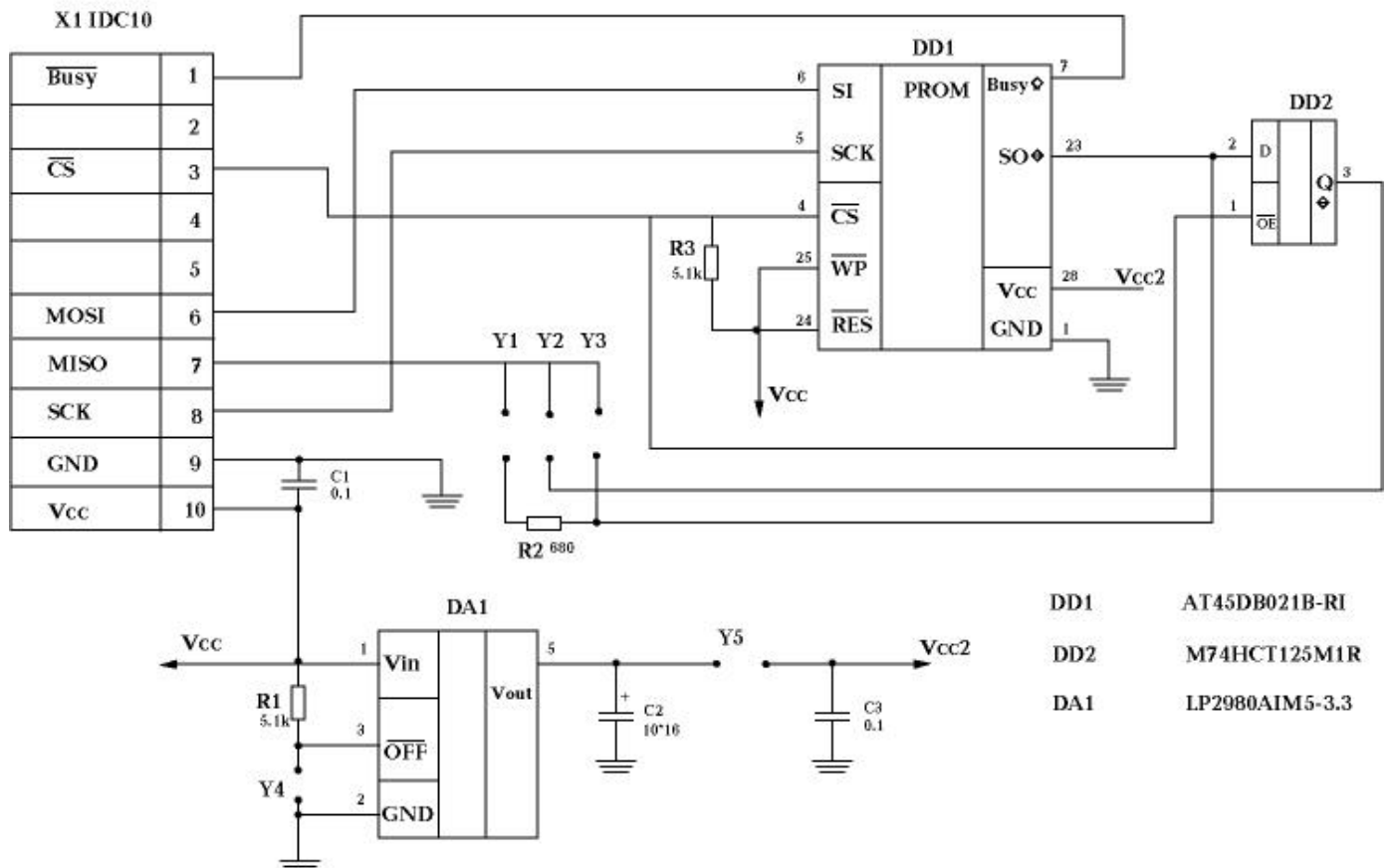
Согласно данным фирмы "Atmel" ([1], стр. 12) напряжение на выходе SO (V_{oh}) в состоянии лог. "1" составляет не менее $V_{cc} - 0.2 В$. В зависимости от входных уровней переключения ведущей микросхемы могут возникать проблемы с обеспечением на её входе достаточно высокого уровня напряжения. Например, при использовании в качестве ведущей микросхемы контроллера серии AT89S проблем не возникнет ($V_{ih} > 0.2 \cdot V_{cc} + 0.9$) [4, стр. 26]. При использовании контроллеров серии AVR ($V_{ih} > 0.6 \cdot V_{cc}$) данное условие трудно выполнимо даже при номинальном (5 В) напряжении питания основной системы [5, стр. 80].

3. Возможные методы ограничения тока утечки и согласования уровней выходных сигналов.

Простейший способ ограничения тока утечки и согласования уровней сигнала - использование резистора, последовательно включенного между выходом микросхемы серии AT45DBxxxВ и линией SO и резистора "подтяжки" на линии SO. Сопротивление последовательного резистора, ограничивается снизу требованием ограничения тока утечки, а сверху - требуемой скоростью обмена данными с учетом действия паразитных ёмкостей, распределённых на шине SO. Сопротивление резистора "подтяжки" ограничивается снизу нагрузочной способностью микросхемы AT45DBxxx по втекающему току I_{ol} , сопротивлением последовательного резистора, требуемым

уровнем V_{il} на входе ведущей микросхемы и минимизацией энергопотребления, а сверху - требуемой скоростью обмена данными и обеспечением необходи-

Схема 1,а



мого уровня V_{ih} на входе ведущей микросхемы.

Также, при использовании данного способа необходимо принимать во внимание, что если нагрузкой стабилизатора напряжения 3.3 В является только микросхема AT45DBxxxV, то при наличии утечки на выходе SO и высокого уровня сигнала на входе !CS напряжение питания V_{cc2} будет превышать номинальное (так как практически все микросхемы стабилизаторов положительного напряжения могут только отдавать ток в нагрузку, а ток утечки с выхода микросхемы будет втекать через паразитный диод в цепь питания 3.3 В).

Достоинства данного метода — простота реализации и дешевизна, недостатки — ухудшение временных параметров сигналов, противоречивость требований к сопротивлению резисторов и необходимость подбора номиналов на этапе отладки системы.

Ниже приведена схема, теоретический вид сигнала на выходе цепи ограничения тока и приближенные формулы для расчета времен нарастания и спада сигнала на линии SO (без учёта действия резистора "подтяжки"). См. схему 2.

Рассмотрение возможности использования схем на основе транзисторов показало, что они либо неоправданно сложны, либо приводят к ещё большему ухудшению временных параметров интерфейса.

В заключение была рассмотрена возможность использования буферного элемента одной из серий стандартной логики с несимметричными входными уровнями переключения ("КМОП с ТТЛ-совместимыми входами") [6, стр. 30]. Как правило, эти микросхемы имеют в обозначении серии букву "Т". Изучение

справочных параметров показало, что можно использовать, например, буферный элемент с Z-состоянием типа MC74VHC1GT125 фирмы "ON semiconductor" (подразделение "Motorola") [7] или микросхему 74HCT125 какой-либо другой фирмы [8]. Первая микросхема характеризуется несимметричными входными уровнями переключения ($V_{ih} \geq 2B$, $V_{il} \leq 0.8B$ при $V_{cc} = 5.5B$), малым размером корпуса (SOT23-5 или SOT89-5) и энергопотреблением, выходом с Z-состоянием и напряжением питания от 3.0 до 5.5 В [7, стр. 1,3].

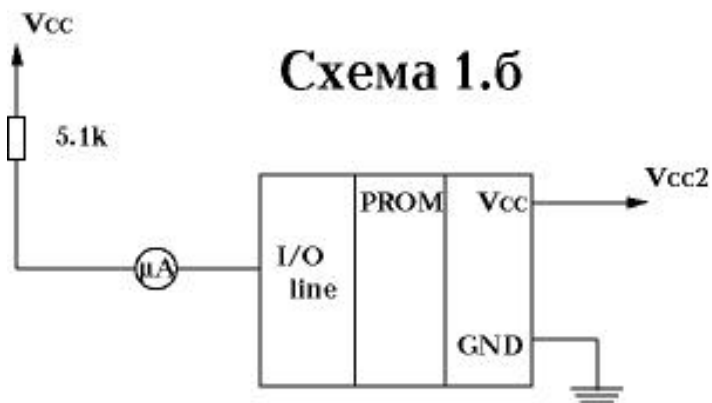
Достоинства данного метода — сохранение хороших временных характеристик, точное согласование уровней сигнала и полное устранение утечек на выходе SO.

Относительный недостаток — более высокая стоимость. См. схему 3.

4. Некоторые варианты топологии интерфейса SPI с точки зрения применённых устройств и методов ограничения тока утечки.

Первый вариант — одно ведущее устройство с напряжением питания 5 В, одно или более ведомых с напряжением питания 3.3 В. Как видно из схемы, в данном случае никаких проблем с ограничением тока утечки не возникает. Единственной проблемой может быть согласование уровней сигналов, которое может быть решено либо с использованием резистора "подтяжки", либо с использованием буферного элемента. См. схему 4.

Второй вариант — одно ведущее устройство с напряжением питания 5 В, одно или более ведомых с напряжением питания 3.3 В и одно или более ведомых/ведущих с напряжением питания 5 В. В этом случае, при



обращении одного из ведущих устройств к одному из ведомых устройств с напряжением питания 5 В или при обращении ведущих устройств друг к другу, они выдают на линию SO сигналы с уровнем 5 В, что требует помимо согласования уровней также и ограничивать ток утечки на выходах микросхем с напряжением питания 3.3 В.

Если используется дополнительный буферный элемент, то он помещается между выходом (выходами) устройств с напряжением питания 3.3 В и остальной частью схемы. Если используется последовательный резистор, то он может быть помещён либо как и в пер-

вом случае, либо между выходами ведомых устройств с напряжением питания 5 В и остальной частью схемы. В данном случае, выбор места включения определяется в соответствии с логикой работы системы. См. схему 5.

5. Динамические измерения.

Измерения параметров проводились на макете (см. выше), совместно с:

- Отладочная плата AT STK500 ("Atmel") с микроконтроллером AT90S8515;
- Отладочная плата TB51M/AVR ("МИФИ") с микроконтроллером AT89S8252;
- Осциллограф C1-76 с делителем 1:10.

Микроконтроллеры работают с тактовой частотой 7.3728 МГц, тактовая частота интерфейса SPI - 1.8432 МГц.

Ввиду наличия у использованных микроконтроллеров возможности внутрисхемного программирования через интерфейс SPI они, в зависимости от режима работы, может выступать и как ведущее (принимая данные с линии SO) и как ведомое устройство (передавая данные с уровнем 5В на линию SO).

Форма сигнала на выходе SO микросхемы AT45DB021B (DD1) приведена на рисунке.

См. График А.

Для динамических измерений с микроконтроллером AT89S8252 было использовано включение ограничительного резистора между выводом SO и остальной частью схемы. Параметры резистора определялись исходя из обеспечения времени нарастания сигнала на линии SO не более 10% от периода тактовой частоты.

$$T_{sck} = 1/3\text{МГц} = 0.33 \text{ мкс}; T_{rise}, T_{fall} \leq 33 \text{ нс};$$

$$C_l = 30 \text{ пФ}; V_{oh} = V_{cc2} - 0.2 = 3.1 \text{ В};$$

$$V_{ih} = 0.2 \cdot V_{cc} + 0.9 = 2.1 \text{ В} (V_{cc} = 6 \text{ В});$$

$$V_{il} = 0.2 \cdot V_{cc} - 0.1 = 0.7 \text{ В} (V_{cc} = 4 \text{ В}).$$

Следовательно $R \leq 739 \text{ Ом}$. Ток утечки не превысит 2.94 мА при сопротивлении ограничительного резистора 680 Ом и $V_{cc} = 6 \text{ В}$.

Форма сигнала на входе MISO микросхемы AT89S8252 (замкнут J1) приведена на рисунке. См. График Б.

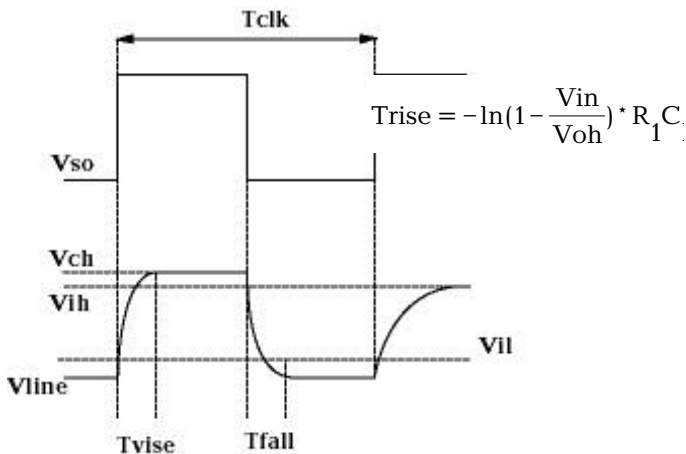
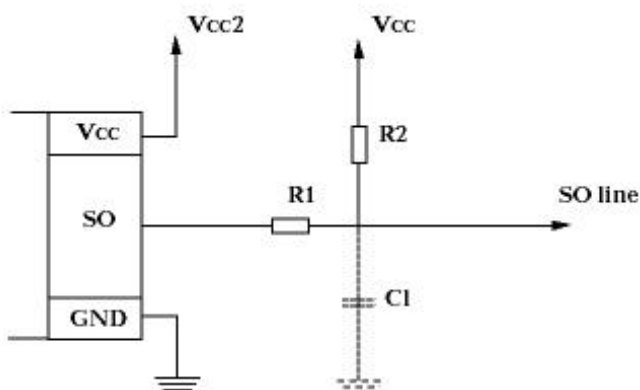
Несмотря на устойчивую работу при соединении выхода SO (DD1) входом MISO микросхемы AT90S8515 (замкнут J3) в лабораторных условиях, обеспечение достаточного уровня лог. "1" на входе контроллера во всем диапазоне напряжений питания, допустимых для микроконтроллера, представляется сомнительным.

Для динамических измерений с микроконтроллером AT90S8515 было использовано включение буферного элемента 74HCT125 между выводом SO микросхемы AT45DBxxxV и остальной частью схемы. Выводы !CS микросхемы памяти и !OE буферного элемента были объединены.

Форма сигнала на входе MISO микросхемы AT90S8515 (замкнут J2) приведена на рисунке. См. График В.

Исходные тексты программ для микроконтроллеров (ассемблер) и терминальную программу для персонального компьютера (ДОС) можно получить с сайта www.atmel.ru (раздел "Советы бывалых").

Схема 2



$$T_{Fall} = -\ln\left(1 - \frac{V_{oh} - V_{il}}{V_{oh}}\right) \cdot R_1 \cdot C$$

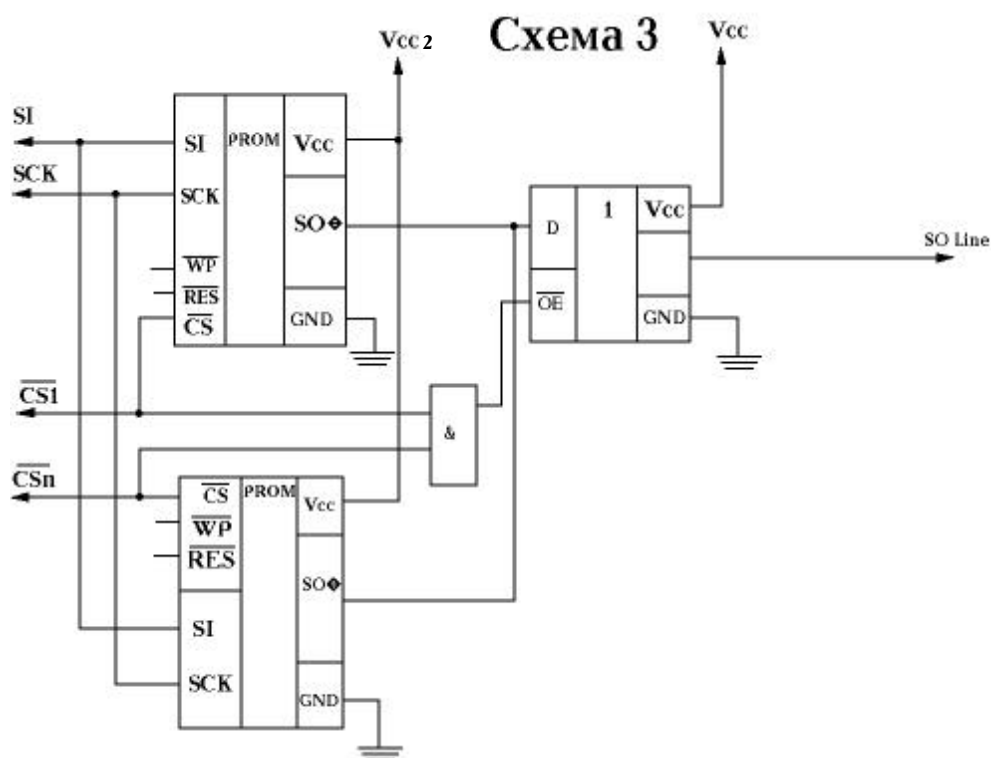


Схема 4

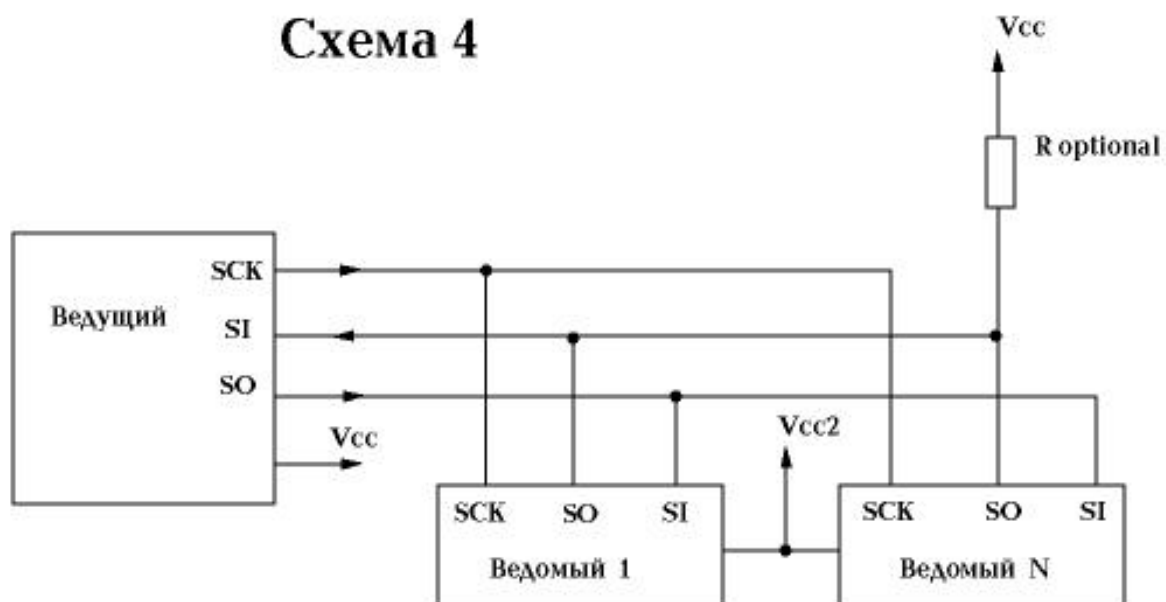
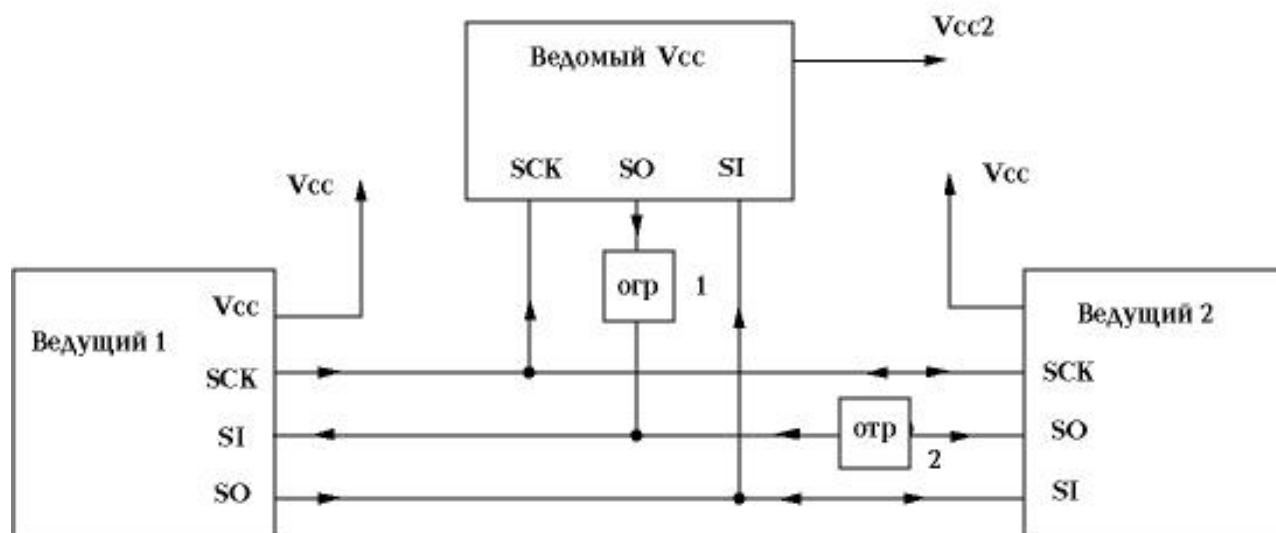


Схема 5



6. Заключение.

В заключение мы надеемся, что наши опыты помогут консервативным разработчикам преодолеть опасения в возможности, целесообразности и надёжности использования в одной системе микросхем с разными напряжениями питания, а прогрессивным - дадут необходимую теоретическую и практическую базу для дальнейших разработок.

А также предлагаем специальные цены на:

- стабилизаторы LP2890IM5-3.3 (\$0.39/штука);
 - буферные элементы с третьим состоянием MC74VHC1GT125 (\$0.18/штука);
- при покупке совместно с микросхемами серии AT45DBxxxВ.

Литература:

1. "2-megabit 2.7-volt only serial DataFlash® AT45DB021В". Doc1937, Rev.B, 03.2001.
<http://www.atmel.ru/Atmel/acrobat/doc1937.pdf>
2. "LP2980 micropower 50 mA ultra low-dropout regulator". DS012078, 2000.
<http://www.national.com/ds/LP/LP2980.pdf>

3. "CPQ-2001 "Reliability Qualification Methodology". Rev.04.

<http://www.atmel.com/atmel/quality/quality2.htm>

4. "8-bit microcontroller with 8K bytes flash AT89S8252". Doc0401, Rev.E, 02.2000.

<http://www.atmel.ru/Atmel/acrobat/doc0401.pdf>

5. "8-bit microcontroller with 8K bytes in-system programmable flash AT90S8515". Doc0841, Rev.F, 12.2000.

<http://www.atmel.ru/Atmel/acrobat/doc0841.pdf>

6. "Triscend E5 Configurable System-on-Chip Platform".

<http://www.triscend.com/products/dse5csoc.pdf>

7. "MC74VHC1GT125 Non-Inverting buffer / CMOS logic level shifter". <http://www.onsemi.com/pub/Collateral/MC74VHC1GT125-D.PDF>

8. "MC74HC125A Non-Inverting 3-State buffer". <http://www.onsemi.com/pub/Collateral/MC74HC125A-D.PDF>

Станислав Лещинский aka "Точка Опоры".
МФК Точка Опоры, Москва, www.atmel.ru
14.II.2002

График А

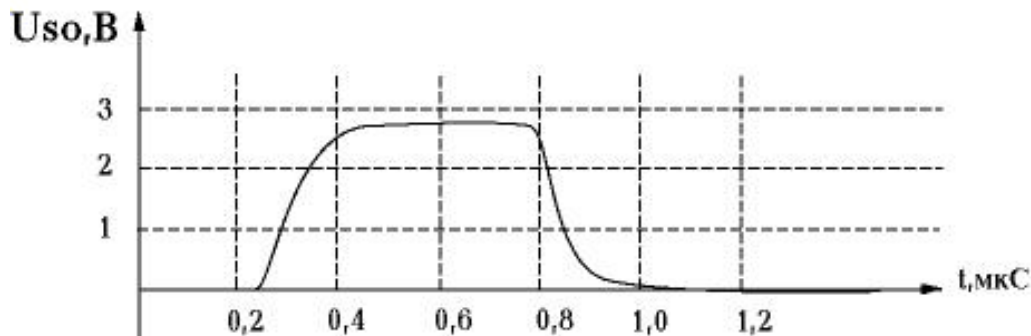


График Б

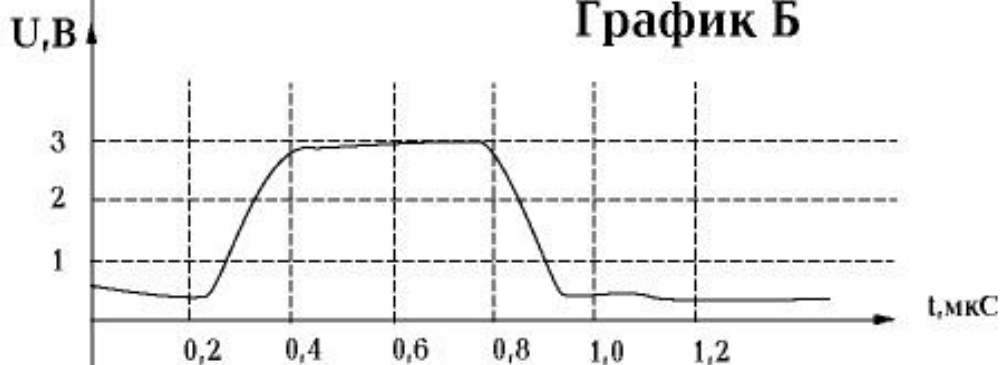


График В

